

Family list

1 family member for:

JP4056168

Derived from 1 application.

I THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Publication Info: JP4056168 A - 1992-02-24

Data supplied from the **esp@cenet** database - Worldwide

Best Available Copy

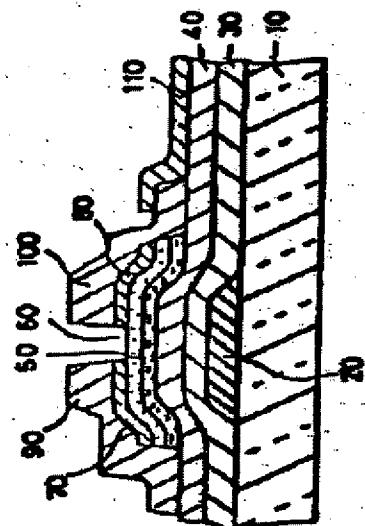
THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Patent number: JP4056168
Publication date: 1992-02-24
Inventor: SANO HIROYUKI; IMASHIRO SHINICHI; TOKO YASUO
Applicant: STANLEY ELECTRIC CO LTD
Classification:
 - **International:** (IPC1-7): H01L29/784
 - **European:**
Application number: JP19900163744 19900621
Priority number(s): JP19900163744 19900621

[Report a data error here](#)
Abstract of JP4056168

PURPOSE: To easily control the etching operation of a semiconductor layer, to eliminate a drop in the insulation of a gate insulating film and to enhance reliability and productivity by a method wherein the gate insulating film is formed of a three-layer laminated structure in which adjacent layers are formed of mutually different materials and the semiconductor layer is formed on it.

CONSTITUTION: A gate electrode 20 for a transistor is formed and patterned on a glass substrate 10. In addition, three layers by a first gate insulating film 30, a second gate insulating film 40 and a third gate insulating film 50 in the order from the side close to the substrate 10 are laminated on it. An amorphous silicon semiconductor layer (a-Si) 60 constituting a channel is formed on the third gate insulating film 50 so as to face the gate electrode 20. The film 50 is formed of a silicon nitride film by a plasma CVD method. When an etching operation is shifted from the semiconductor layer to the film 50, the plasma luminous peak of nitrogen is detected and an etching end point is detected. Thereby, a thin-film transistor in which a source is not short-circuited with a gate, whose insulating property is excellent and whose characteristic is stable can be manufactured with good reproducibility.



Data supplied from the esp@cenet database - Worldwide

① 日本国特許庁 (JP)

② 特許出願公報

③ 公開特許公報 (A) 平4-56168

④ Int. CL⁵

H 01 L 29/784

案別記号 廷内整理番号

⑤ 公開 平成4年(1992)2月24日

9056-4M H 01 L 29/78 311 G

審査請求 有 請求項の数 4 (全4頁)

⑥ 発明の名称 再膜トランジスタおよびその製造方法

⑦ 特願 平2-163744

⑧ 出願 平2(1990)6月21日

⑨ 発明者 佐野 寛幸

神奈川県大和市南林間8-10-5-101

⑩ 発明者 今城 慎一

神奈川県川崎市麻生区虹ヶ丘2-3-2-702

⑪ 発明者 部甲 康夫

神奈川県横浜市緑区荏田南2-17-8-203

⑫ 出願人 スンレー電気株式会社

東京都目黒区中目黒2丁目9番13号

⑬ 代理人 弁理士 佐藤 敏四郎

明細書

1. 発明の名称

再膜トランジスタおよびその製造方法

2. 特許請求の範囲

(1). 透明基板基板と、

前記透明基板基板上に形成したゲート電極層と、

前記ゲート電極層と前記基板の上に形成したゲート絶縁層と、

前記ゲート絶縁層の上に形成した半導体層と、

前記半導体層の上に形成したソース／ドレイン電極層とを有し、

前記ゲート絶縁層は斜状する層が重いに見える材料で形成された3層の被覆を含む再膜トランジスタ。

(2). 前記ゲート絶縁層は前記ゲート電極層に近い順に第1絶縁層、第2絶縁層及び第3絶縁層を含み、前記第2絶縁層が前記第3絶縁層よりも耐エッティング性に優れる材料で構成される構成

項1記載の再膜トランジスタ。

(3). 透明基板基板上にゲート電極層を形成する工程と、

前記ゲート電極層と前記透明基板基板の上に三層の被覆層を含むゲート絶縁層を形成する工程であって、前記3層の第1層と第2層とは異なる成膜法で形成する工程と、

前記ゲート絶縁層の上に半導体層を形成する工程と、

前記半導体層の断面傾城をエッティングする工程と、

前記半導体層の上にソース電極とドレン電極の層を同時に形成する工程と、

を含む再膜トランジスタの製造方法。

(4). 前記ゲート絶縁層の3層の形成工程は、プラズマCVD法による酸化シリコン層で第1層を形成し、スペック材による酸化シリコン層で第2層を形成することを含む請求項1記載の再膜トランジスタの製造方法。

特許平4-56168 (2)

3. 見明の構造を説明

(図1上の利用分段)

本発明は切口トランジスタに係わり、特に放電ダイスプレイ等のアタティップマトリックス表示電子の表示装置に好適な信頼性と生産性の高い切口トランジスタおよびその製造方法に関するもの。

(表示の段口)

図2図にアタティップマトリックス電子に用いられた従来の切口トランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート電極20が形成され、バーニングされ、その上にひも状ゲート電極30、40が2回重ねて形成されている。(ゲート電極は1回のみの場合もある。)ゲート電極30に対角するように施設口40上にチャカルを形成する半導体口60が形成され、その上にコントラクトを形成するための低抵抗半導体口70、80が所定位置にバーニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより切口ト

ランジスタの一端子が構成されている。半導体口60、70、80の形成工程に当りエッチング工程は、例えばCF4、臭化水素、ガスを用いてのドライエッティングで行なわれる。エッティング区分は、たとえば高周波電力100~200W、圧力の1~100Paである。ひもは、ドレイン電極100の一部と接続し、ゲート電極口40上に形成して開口となる通明電極110が形成される。

(見明が形成しないとする段口)

図1のゲート電極口90に口発シリコン口(81N₂)又は、田代タングル(T₀N₂)を被覆し、口2ゲート電極口40に口発シリコン口(81O₂)又は、田代タングル(T₀O₂)を被覆した場合には、半導体口60、70、80のエッティング終点が遅めにいく。半導体口60、70、80がブリズマグローブで保める。また、口発シリコンや口発タングルは、口発シリコンに比べ半導体口との界面平坦度が不良度である欠点がある。

施設の厚さが所要の値よりも多くなり、施設口下にソース・ゲート電極の口がとなる。

また、図1のゲート電極口90に口発シリコン(81N₂)を被覆し、口2ゲート電極口40に口発シリコン口(81O₂)又は、田代タングル(T₀O₂)を被覆した場合には、半導体口60、70、80のエッティング終点が遅めにいく。半導体口60、70、80がブリズマグローブで保める。また、口発シリコンや口発タングルは、口発シリコンに比べ半導体口との界面平坦度が不良度である欠点がある。

本発明の目的は、半導体口のエッティング段口をしゃすく、施設口の品質低下を防ぐ。施設口の生産性の高い切口トランジスタとその製造方法とを提供することである。

(段口を形成するための手段)

本発明によれば、切口トランジスタにおいて、開口する口は直に見える程度で形成された3回の断面構造を用いてゲート電極口を形成し、その上

に半導体口を開口する。

(効果)

半導体口のエッティング段口をしゃすくして、半導体口がエッティングされたあと残る3回からなるゲート電極の半導体口は最も遅い口2回目が口口底エッティングされるが、最終と同時に口2回目をみてオーバエッティングが発生する。口2回目と口1回によって口1回目が形成される。また口2回目がエッティングされると、半導体口のエッティング段口が形成される。

(段口)

次に、本発明による段口トランジスタの段口開口を形成して説明する。

図1に比アタティップマトリックス電子に用いられた本発明の実施例による段口トランジスタの段口構造を示す。ガラス基板10の上にトランジスタのゲート電極30が形成され、バーニングされ、その上にひも状の口10に遅い口から口に口10

韓國平4-56168 (3)

ト電極口 50、開きゲート電極口 40及び閉き
ゲート電極口 50が3層積層形成されている。ゲ
ート電極 20に向むかうように開きゲート電極口
50上にチャップルを構成するアセチルファスシリコ
ン半導体口 (H-SI) 80が形成される。その
上に、コンタクトを形成するための低抵抗半導
体Si (N+型アセチルファスシリコン) 口 70、
80が所定形状にペターニングされて形成され、
その上にソース電極口 90とドレイン電極 100と
が形成されることにより駆動トランジスタの一構
成が構成されている。さらに、ドレイン電極 100
の一端と接続し、開きゲート電極口 50上に口
部となる漏開口口 110が形成される。

ここで、ロジゲート回路40は、ロジゲート回路80に比べてキャッシュ性に優れた構成を用いることが望ましい。例えば、ロジゲート回路40は回路40は、スペックル活性化回路アダマツアリにより活性化シリコン(610p)回路40は活性化シリコン(700p)回路40で形成する。ロジゲート回路80は、電荷保持の組みている活性化シリコン

日本上に、1000-4000mの高原の白化シリコンドロゲートは毎年800を超過し、800-2000mの高原の白化シリコンドロゲートは毎年400を超過し、800-2000mの高原の白化シリコンドロゲートは毎年600をそれぞれ超過する。そこで、ドロゲートは毎日朝日新聞一版室内でカヤツムリの体の80%、コントラクトモルヒノ70%、80%を超過する。その日、CF、風邪中、ガスを吸い、ドライイヤーナンダで呼吸器の60%、70%、80%をバターニングする。ここで、エヤナングが呼吸器から白化シリコンのドロゲートを毎日800を越行した日に立派なアラスマ見先ピータを絞出すことに成功しエヤナングは立派を絞出した。これにより、ソース・ゲート活性も早く立ち昇りすぐれた活性も安定を初回トランジスタが再活性よく回復で口だ。

直上、貴婦間にあって本発明を認めたが、本発明はこれらに開拓されたものではない。たとえば、日々の家庭、職場、集合せりが可能なこと認

(SINエ) 口をプラズマCVDで形成する。
また、口1ゲート高さH₁に、口1側シリコンや
酸化タンタルも使用可である。この口、口1ゲ
ート高さH₁と口2ゲート高さH₂とは、口
のピッカール等の欠陥防止のため互いに異な
り共に形成することが必要であるので好い。

ロ1ゲートは四四四四四四、ロ2ゲートは四四四四四四とし
ての特性を有し、ロ3ゲートは四四四四四四、ロ1
ゲートは四四四四四四のピンホーリーの反応性を有す
る半導体四四四四、四四、四四のエラテンダの回路
オーバーベッタングを有するスリーブの回路をレ
ロ3ゲートは四四四四四四、ロ4ゲートは四四、四四、
四四のエラテンダの回路の反応性を有する半導体四
四四の界面半導体を活性化させる酸素を含むガスを
する。

ここで、本発明の方法によつて窓枠を固定した窓口トランクエットの例を図示する。図版8(1)～8(3)は、図版8(4)に示す窓口台枠、パラーニングドアセーフティゲート

当該書に誤写である。

(見開き面)

本見切によれば、ゲート電圧をゼロに保つことによって、半導体のキャリア密度における逆説的なゲート電圧の効果を観察する。

ロモゲートは、アラマツやセイモロモロ等の
シナモンロを育てているため、販売もさう。
シナモンロの栽培は、まだ多くないが、ゲー
ロモロモロとシナモンロとの交配が成功した。

特開平4-56168 (4)

界面半位の安定なものを形成できる。

4. 図面の簡単な説明

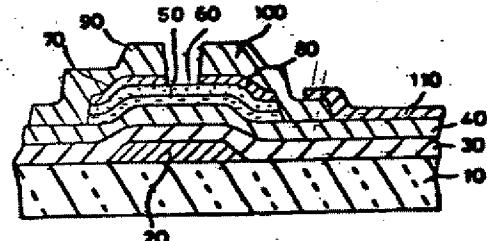
第1図は本発明の実施例による薄膜トランジスタの断面構造図、

第2図は既来の技術による薄膜トランジスタの断面構造図である。

図において、

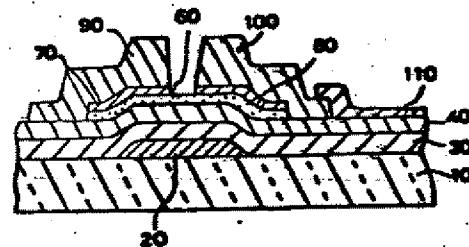
- 10 ガラス基板
- 20 ゲート電極
- 30 第1ゲート絶縁膜
- 40 第2ゲート絶縁膜
- 50 第3ゲート絶縁膜
- 60, 70, 80 基底体膜
- 90 ソース電極
- 100 ドレイン電極
- 110 透明電極膜

特許出願人 スタンレー電気株式会社
代理人 井端士 高橋社四郎



本発明の実施例による薄膜トランジスタ

第1図



既来の技術による薄膜トランジスタ

第2図

特許補正書(白字)

平成2年7月27日

特許庁長官 聞

1. 特許の登録 平成2年特許登録163744号

2. 発明の名前 薄膜トランジスタおよびその製造方法

3. 補正をする事

特許との関係 特許出願人
住 所 東京都目黒区中目黒2丁目9番13号
名 称 (100) スタンレー電気株式会社

4. 代 球 人

住 所 T103 東京都中央区日本橋小舟町1-3
日本橋ニセキビル702 号室-0004
氏 名 (9134) 井端士 高橋 通哉

5. 補正の対象 明細書の発明の詳細な説明の範

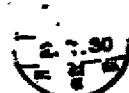
6. 補正の内容 別紙の通り

(1). 明細書第8文第19~20行
「3000nm」を「300nm」と補正する。

(2). 明細書第9文第1行
「1000~4000nm」を「100~400nm」と補正する。

(3). 明細書第9文第3行
「500~2000nm」を「50~200nm」と補正する。

(4). 明細書第9文第4~5行
「500~2000nm」を「50~200nm」と補正する。



方 式 ①

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.